

当 2nm 芯片工艺预见 AI 算力革命

——半导体产业的技术竞速与商业博弈

文 / 潘菲，中国国际科技促进会半导体产业发展分会秘书长

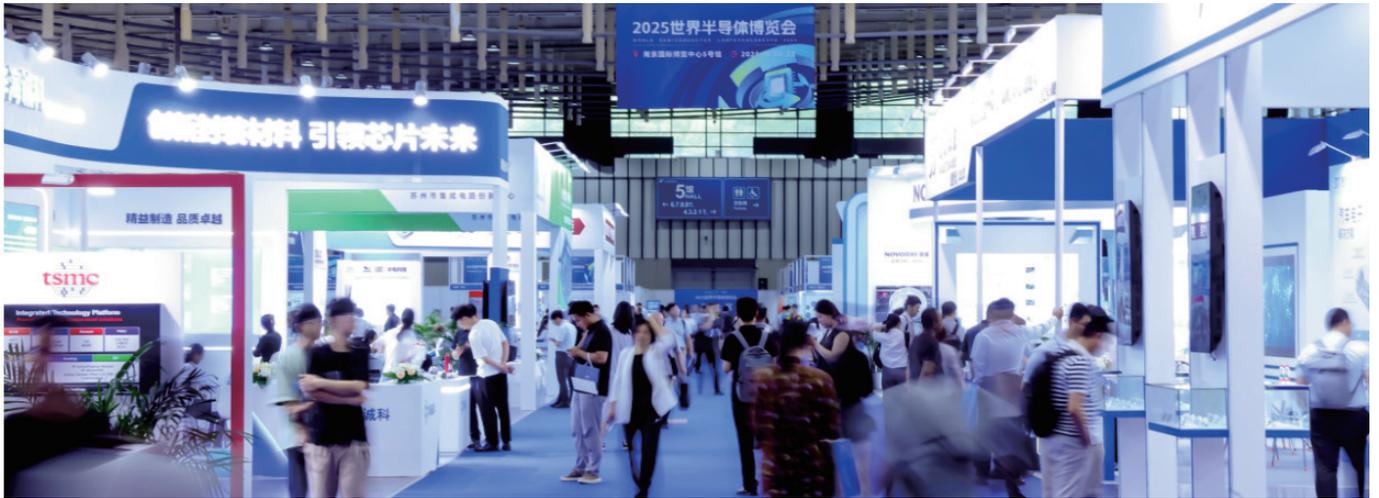
When 2 nm chip technology foresees an AI computing revolution

—The technological race and commercial competition in the semiconductor industry

By Pan Fei Secretary General of the Development Of Semiconductor Industrial Branch of the China International Association for Promotion of Science and Technology

2025年6月，台积电在其技术研讨会上首次公开展示了2nm制程试产晶圆。这块300毫米硅晶圆采用创新的GAAFET晶体管架构，晶体管密度较3nm工艺提升约45%，功耗降低30%。据台积电官方披露，2nm工艺的芯片已进入风险试产阶段，计划2025年下半年量产，将采用高数值孔径EUV光刻技术，推动半导体制造进入20埃米时代。这一突破为下一代AI芯片提供了关键的工艺基础，苹果、英伟达等客户已开始基于该工艺设计新产品。与此同时，日本半导体产业也正加速布局2nm技术研发，试图在全球先进制程竞争中重新确立地位。这场展示背后，是半导体产业全方位的技术竞速。本文将剖析2nm制程突破带来的产业连锁反应，揭示AI算力需求如何重塑半导体竞争格局。

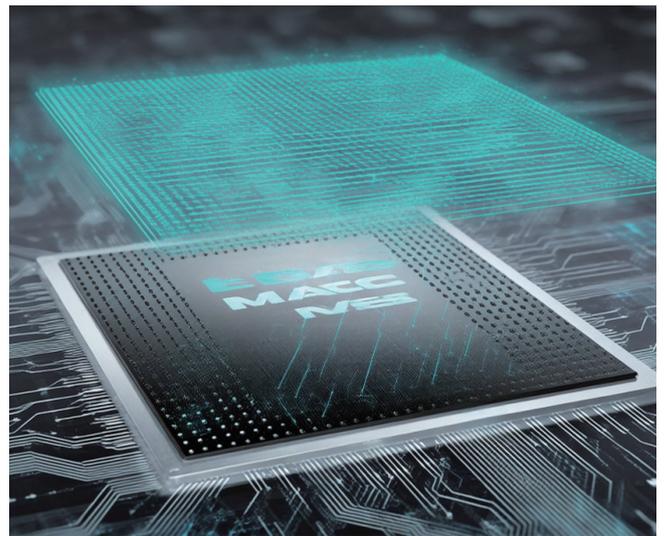
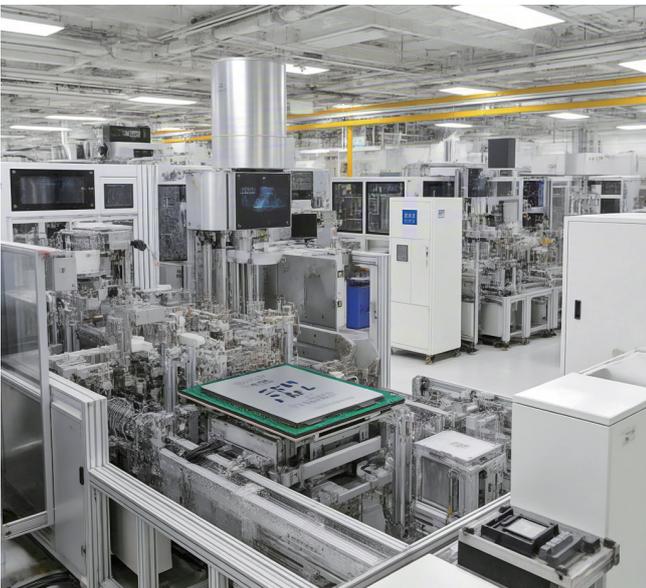
Abstract In June 2025, TSMC publicly showcased its 2nm process trial-production wafer for the first time at a technical seminar. The 300mm silicon wafer employs an innovative GAAFET transistor architecture, achieving approximately a 45% increase in transistor density and a 30% reduction in power consumption compared to the 3nm process. According to TSMC's official disclosures, chips based on the 2nm process have entered the risk-production phase, with mass production planned for the second half of 2025. The process will utilize high-numerical-aperture EUV lithography technology, marking the advent of semiconductor manufacturing at the 20-angstrom scale. This breakthrough provides a critical process foundation for the next generation of AI chips, with customers such as Apple and NVIDIA already initiating new product designs based on this technology. Meanwhile, Japan's semiconductor industry is accelerating its 2nm R&D efforts in an attempt to reassert its position in the global advanced process competition. Behind this demonstration lies a comprehensive technological race within the semiconductor sector. This report analyzes the industry-wide ripple effects of the 2nm process breakthrough and examines how the surging demand for AI computing power is reshaping the semiconductor competitive landscape.



一、制程革命：2 nm技术的三重突破

物理极限的突破

这场精密制造竞赛中，新竹科学园区，台积电的2 nm产线正在挑战硅基芯片的物理极限。其FinFET晶体管架构中，鳍片间距缩小至20纳米级别，相当于300个原子并列的宽度。为确保良率，工厂采用新一代极紫外（EUV）光刻机，每台造价超过3亿美元，其激光光源的波长精确到13.5纳米。三星采用全环绕栅极（GAA）技术，在韩国华城工厂实现晶体管导电通道的四面环绕控制；英特尔则推出RibbonFET架构，通过堆叠纳米片提升电流控制能力。日本经济产业省主导的“半导体复兴计划”已投入2万亿日元，支持Rapidus与东京电子等企业开发2 nm工艺配套设备7。四家巨头的研发投入在2025年合计超过千亿美元，推动全球半导体设备市场规模突破1500亿美元。



架构创新的突围

当制程微缩收益递减，架构创新成为算力提升的新引擎。2025年国际固态电路会议（ISSCC）上，台积电展示的存算一体芯片将SRAM存储器与逻辑单元间距缩短40%，使AI推理能效比提升5倍。这种结构创新让芯片在同等制程下获得额外性能红利。

在类脑计算领域，IBM发布的NorthPole芯片采用7nm制程却实现12nm等效能效，其秘密在于模仿人脑的异步计算架构。该芯片在图像识别任务中，功耗仅为传统GPU的1/20，已应用于自动驾驶实时决策系统。

封装技术的跃迁

先进封装成为延续摩尔定律的关键。台积电的SoIC（系统整合芯片）技术将逻辑芯片和HBM内存通过硅通孔（TSV）垂直堆叠，互连密度达到传统封装的100倍。英特尔则推出EMIB技术，用微米级硅桥连接不同制程的芯片模块。这些3D封装方案使系统级性能提升40%，同时降低30%的功耗。

二、AI 驱动：算力需求重构产业格局

云端算力的军备竞赛

2025 年，英伟达 H100 的后续型号 H200 实现单芯片 4000TFLOPS 的 AI 算力，但其需求仍被 OpenAI、微软等云服务厂商抢购一空。这促使谷歌自主研发的 TPUv5 采用 2nm 制程，在其数据中心实现 90% 的能效提升。据 IDC 数据，全球 AI 服务器芯片市场规模在 2025 年达到 950 亿美元，三年复合增长率达 62%。



边缘计算的爆发增长

智能手机成为 AI 算力新战场。联发科天玑 9400 集成第六代 APU，支持手机端运行 700 亿参数的大语言模型；高通的骁龙 8 Gen4 则通过异构计算架构，使设备端 AI 视频处理速度提升 3 倍。Counterpoint 数据显示，2025 年 AI 手机出货量将突破 8 亿部，占整体市场的 58%。

存储技术的协同进化

AI 训练对内存带宽提出苛刻要求。SK 海力士的 HBM4 内存堆叠 12 层 DRAM 芯片，提供 1.5TB/s 的超高带宽，但其生产良率仅 65%，导致严重缺货。美光科技则转向 GDDR7 技术，用相对成熟的封装工艺实现 768GB/s 带宽，成为游戏 GPU 的折中选择。这种技术路线分化，反映出 AI 算力需求已重塑存储产业。

三、产业博弈：技术主权争夺战

地缘政治下的供应链重构

美国《芯片与科学法案》的“护栏条款”在 2025 年全面生效，要求受补贴企业 10 年内不得在中国扩建先进制程产能。这迫使台积电在亚利桑那州建设 3 座 2nm 晶圆厂，总投资达 600 亿美元。作为应对，中国启动“半导体自立工程”，推动国产 28nm 光刻机在 2025 年底通过验证。

材料设备的卡脖子突围

日本在 2024 年收紧光刻胶出口后，中国晶瑞电子的 KrF 光刻胶良率提升至 85%，但 EUV 级别光刻胶仍依赖进口。在硅片领域，沪硅产业的 300mm 大硅片已通过中芯国际认证，但全球市场份额不足 5%。这些关键材料的突破进度，将决定产业链自主可控的节奏。

资本并购的生态竞争

2025 年半导体行业并购总额创下 1780 亿美元纪录。其中最具战略意义的是博通 690 亿美元收购 VMware，构建从芯片到云的全栈能力；中国韦尔股份则通过收购 ISSI，成为全球第三大汽车芯片供应商。这些并购不仅争夺现有市场，更在布局未来的技术标准话语权。



站在 2025 年的节点回望，2nm 制程突破既是终点也是起点，这是一场技术迭代的永恒竞赛。当晶体管尺寸逼近物理极限，半导体产业正转向三维集成、新架构和先进封装的组合创新。这场竞赛的胜出者，不仅需要技术突破能力，更要具备平衡地缘政治、供应链安全和商业生态的全局思维。

正如台积电创始人张忠谋所言：“芯片产业已从技术竞争升级为系统竞争”。在这个超万亿美元规模的赛道上，创新者的游戏规则正在被重新书写。